

【発明の名称】 半導体装置の製造方法**【発明の背景】**

本発明は、III-V族窒化物半導体を用いた半導体装置の製造方法に関し、特に、半導体素子同士の間を分離する素子分離絶縁膜を選択酸化法により形成する半導体装置の製造方法に関する。

III-V族窒化物半導体は、絶縁破壊電界強度、熱伝導率及び電子飽和速度が大きいという材料特性を有していることから、高周波用のパワーデバイスを構成する材料として有望である。III-V族窒化物半導体として、窒化ガリウム（GaN）、窒化アルミニウムガリウム（AlGaN）、窒化インジウムガリウム（InGaN）、窒化インジウムアルミニウムガリウム（InAlGaN）等が用いられている。特に、AlGaNとGaNとのヘテロ接合構造を用いた半導体装置では、ヘテロ接合の界面付近に電子が蓄積されることにより、いわゆる2次元電子ガス層が形成されるため、高い電子移動度を実現することができる。

ここで、AlGaNとGaNとのヘテロ接合を用いた従来のヘテロ構造電界効果型トランジスタ（Heterojunction Field Effect Transistor：HFET）は、アンドープのGaN層と、該GaN層の上に形成され且つドナー不純物が添加されたAlGaN層とを有し、該AlGaN層の上にはゲート電極、ソース電極及びドレイン電極が設けられている。従来のHFETによると、AlGaNとGaNとのヘテロ接合を用いることにより、 1×10^5 V/cm程度の高電界において、砒化アルミニウムガリウム（AlGaAs）と砒化インジウムガリウム（InGaAs）とのヘテロ接合を用いたHFETと比べて、2倍以上の電子速度を実現できる。また、GaN層におけるAlGaN層との界面付近に形成される2次元電子ガス層は、AlGaN層のドナー不純物と空間的に離れて配置されてるため、高い電子移動度を実現できると共に、ソース抵抗成分を低減することが可能となる。また、このように構成された電界効果型トランジスタでは、ゲート電極と2次元電子ガス層との距離を数十nm程度に設計できるため、ゲート長を短くしても短チャネル効果を抑制することができるので、HFETの微細化を実現しながらも良好な飽和特性を得ることができる。

このように構成された従来のHFETを製造する場合に、トランジスタ素子同士を分離する素子分離絶縁膜を形成する際には、選択酸化法と呼ばれる方法を用いることができる

。選択酸化法は、III-V族窒化物半導体が積層されてなるデバイス構造体の上に、活性領域を覆うように酸化保護膜を選択的に形成し、酸化性の雰囲気中で熱処理を行うことにより、デバイス構造体における酸化保護膜の間に露出した領域を酸化する。これにより、III-V族窒化物半導体の酸化物から素子分離絶縁膜が形成される。そして、酸化保護膜を除去した後、デバイス構造体の活性領域にゲート電極、ドレイン電極及びソース電極を形成することにより従来のH F E Tが完成する。

従来のH F E Tの製造方法において、酸化保護膜を構成する材料としてシリコンを用いる方法が知られている。

また、従来のH F E Tの製造方法において、酸化保護膜を構成する材料にシリコンを用いて、温度が900℃以上の酸化性雰囲気中で熱酸化を行うことにより、酸化保護膜からG a N層へとシリコンを拡散させる方法が知られている。この方法を用いることにより、G a N層の不純物濃度を増大させてソース電極及びドレイン電極のコンタクト抵抗を低減することができる。

しかしながら、前記従来のH F E Tの製造方法において、温度が約900℃の酸素雰囲気中にて選択酸化を行うと、素子分離に十分な厚さを有するように素子分離絶縁膜を形成するためには、4時間以上にわたって酸化処理を行う必要があり、半導体積層構造体の構成によっては12時間以上の酸化処理が必要となる場合もある。つまり、素子分離膜形成工程においてシリコンを拡散することによりコンタクト抵抗を低減しようとする、素子分離絶縁膜形成工程の作業効率が低下し、H F E Tの製造コストが増大してしまう。

また、酸化処理の時間を短縮する目的で酸素雰囲気の温度を上昇させると、酸化保護膜からのシリコンの拡散量が大きくなるため、デバイス構造体の表面から内部にまでシリコンが拡散してn型の半導体層に変換されてしまう。従って、III-V族窒化物半導体からなるデバイス構造体の電気的特性が損なわれて、ゲート電流のリークが増大することや2次元電子ガス層の電子移動度が低下する等といった問題が生じることとなる。

【発明の概要】

本発明は、前記従来の問題を解決し、III-V族窒化物半導体からなる半導体装置において、且つ短時間に素子分離絶縁膜を形成することと、素子分離絶縁膜の形成工程において電気特性を損なうことなくシリコンを拡散することとを両立できるようにすることを目的とする。

前記の目的を達成するため、本発明に係る半導体装置の製造方法は、窒化アルミニウムガリウムからなる第1の半導体層の上に、シリコンを含み且つ開口部を有する保護膜を形成する工程と、第1の半導体層に対して、温度が950℃以上且つ1050℃以下の範囲に調整された酸化性雰囲気中において熱処理を行う工程とを備えている。

本発明に係る半導体装置の製造方法によると、保護膜から第1の半導体層よりも下側へのシリコンの拡散を防止できるため、熱処理によって素子分離絶縁膜を形成する場合に、半導体装置の電気的特性を損なうことなく且つ短時間に形成できる。さらに、熱処理の温度を950℃以上且つ1050℃以下とすることにより、第1の半導体層の表面に確実にシリコンを拡散できるので、半導体装置のコンタクト抵抗を低減することができる。

本発明の半導体装置の製造方法において、熱処理を行う工程は、第1の半導体層における保護膜の開口部の下側部分を酸化する工程と、保護膜から下側にシリコンを拡散する工程とを含むことが好ましい。

本発明の半導体装置の製造方法において、保護膜を形成する工程よりも前に、第1の半導体層の上に、窒化ガリウムを主成分とする第2の半導体層を形成する工程を含むことが好ましい。

このようにすると、熱処理によって保護膜から拡散されたシリコンは、第2の半導体層を通して第1の半導体層で停止する。従って、第2の半導体層をキャップ層として用いることにより、半導体装置の電気的特性を改善することが可能となる。

本発明の半導体装置の製造方法において、保護膜を形成する工程は、第1の半導体層の上にシリコンを含むシリコン供給層を形成する工程と、シリコン供給層の上に酸化保護層を形成する工程とを含むことが好ましい。

このようにすると、熱処理を行うことにより、シリコン供給層から第1の半導体層へとシリコンを選択的に拡散できると共に、酸化保護層をマスクとして素子分離用絶縁膜を選択的に形成できる。

本発明の半導体装置の製造方法は、シリコン供給層を形成する工程において、第1の半導体層の活性領域におけるゲート形成領域を除く部分の上にシリコン供給層を形成し、酸化保護層を形成する工程において、第1の半導体層の活性領域の上にシリコン供給層の上を含むように酸化保護層を形成することが好ましい。

このようにすると、活性領域において、ゲート形成領域を除く部分に選択的にシリコンを拡散できるので、ゲート電極のショットキー障壁を大きくすることができる。

本発明の半導体装置の製造方法において、酸化保護層は酸化シリコン又は窒化シリコンからなることが好ましい。

本発明の半導体装置の製造方法において、酸化保護層は、シリコン酸化膜と、シリコン膜又はシリコン窒化膜とが順次積層された積層膜であることが好ましい。

【図面の簡単な説明】

図 1 (a) 及び図 1 (b) は本発明に係る半導体装置の製造方法に用いる選択酸化法の一例を示している。

図 2 (a) 及び図 2 (b) は本発明に係る半導体装置の製造方法に用いる選択酸化法の他の例を示している。

図 3 (a) ～図 3 (c) は本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の断面構成図である。

図 4 (a) ～図 4 (d) は本発明の第 2 の実施形態に係る半導体装置の製造方法を示す工程順の断面構成図である。

【発明の詳細な説明】

本発明に係る半導体装置の製造方法に用いる選択酸化法について図面を参照しながら説明する。

図 1 (a) 及び図 1 (b) は、本発明に係る半導体装置の製造方法に用いる選択酸化法の一例を示す工程順の断面構成図である。

まず、図 1 (a) に示すように、有機金属気相成長法 (MOVPE 法) 又は分子線エビタキシ法 (MBE 法) を用いて、膜厚が約 $3\ \mu\text{m}$ の GaN 層 11 と、膜厚が約 $28\ \text{nm}$ の AlGaIn 層 12 とを基板 (図示せず) 上に成長させ、III-V 族窒化物半導体からなる半導体積層構造体を形成する。続いて、AlGaIn 層 12 の上に、シリコンからなる酸化保護膜 13 を選択的に形成する。ここで、AlGaIn 層 12 の AlN 組成は約 0.25 である。

次に、図 1 (b) に示すように、酸化保護膜 13 が形成された半導体積層構造体を酸素ガス等の酸化性雰囲気投入し、該酸化性雰囲気の温度を約 $1000\ ^\circ\text{C}$ に調節して約 2 時間にわたって熱処理を行う。これにより、酸化保護膜 13 は酸化性雰囲気により表面側から酸化されてシリコン酸化膜 13A となる。また、AlGaIn 層 12 における酸化保護膜

1 3 によって覆われていない領域においても、酸化性雰囲気により表面側から酸化を受けるため、III-V 族窒化物半導体の酸化物からなる絶縁膜 1 4 が形成される。また、A l G a N 層 1 2 における酸化保護膜 1 3 によって覆われた領域は、酸化保護膜 1 3 からシリコンが拡散されてシリコン含有 A l G a N 層 1 2 A となる。

ここで、熱処理の温度を約 1 0 0 0 °C とすることにより、熱処理の期間を 2 時間程度としても、絶縁膜 1 4 の深さ方向の寸法を素子分離絶縁膜として用いるために十分な値を確保できる。

また、以上に説明した選択酸化法に伴うヘテロ接合の電気的特性の変化を評価するため、熱処理後にシリコン含有 A l G a N 層 1 2 A よりも下側にシリコンが拡散しているか否かを G a N 層 1 1 とシリコン含有 A l G a N 層 1 2 A とからなるヘテロ接合構造のシート抵抗を測定した。シート抵抗を測定するために、図 1 (b) に示す工程の後、弗酸と硝酸との混合液を用いてシリコン酸化膜 1 3 A を除去し、シリコン含有 A l G a N 層 1 2 A の上に 2 つのオーミック電極を互いに間隔をおいて形成する。そして、オーミック電極間のシート抵抗を T L M 法により測定することができる。その結果、熱処理後のシート抵抗の値は約 4 0 0 Ω / □ であり、熱処理前の値からほとんど変化していないことが確認された。

ここで、熱処理によって酸化保護膜 1 3 のシリコンがシリコン含有 A l G a N 層 1 2 A を通って G a N 層 1 1 にまで到達しているのであれば、G a N 層 1 1 とシリコン含有 A l G a N 層 1 2 A とのヘテロ接合の界面付近に形成される 2 次元電子ガス層は、拡散されたシリコンによりイオン化不純物散乱が生じるので、シート抵抗は著しく増大するはずである。従って、前述の熱処理によって、酸化保護膜 1 3 のシリコンは A l G a N 層 1 2 よりも下側にはほとんど拡散していないといつてよい。

さらに、熱処理の時間を約 6 時間程度にまで延長しても、シート抵抗の値は、実験誤差の範囲を超える程には変化しないことが確認された。特に、A l G a N 層 1 2 の膜厚が約 2 8 n m と薄いことを考慮すると、酸化保護膜 1 3 のシリコンは、A l G a N 層 1 2 における G a N 層 1 1 との界面付近には拡散はほとんど生じないと考えられる。

一方、熱処理の後、A l G a N 層 1 2 のオーミック電極のコンタクト抵抗を測定した結果、熱処理を行う前のコンタクト抵抗と比べて、コンタクト抵抗の値が 5 分の 1 程度にまで低減されていることが確認された。従って、約 1 0 0 0 °C の熱処理により、酸化保護膜 1 3 のシリコンが A l G a N 層 1 2 の表面付近に拡散され、G a N 層 1 1 との界面付近に

までは拡散されていないことがわかる。

なお、熱処理の温度は約1000℃に限られず、950℃以上で且つ1050℃以下の範囲であればよい。熱処理の温度が950℃よりも小さいと、シリコンの拡散量が低減するため、コンタクト抵抗を低減する効果を十分に得られない。また、1050℃よりも大きいと、酸化保護膜13が溶融して、半導体積層構造体の表面構造や絶縁膜14の形状が劣化してしまう。

図2(a)及び図2(b)は、本発明に係る半導体装置の製造方法に用いる選択酸化法の他の例を示す工程順の断面構成図である。

図2(a)及び図2(b)に示す選択酸化法では、AlGaIn層12の上に、GaNからなるキャップ層21が設けられている点が図1(a)及び図1(b)の選択酸化法と異なっている。

まず、図2(a)に示すように、MOVPE法又はMBE法を用いて、GaN層11、AlGaIn層12及びGaNからなるキャップ層21を基板(図示せず)上に成長させ、III-V族窒化物半導体からなる半導体積層構造体を形成する。続いて、キャップ層21の上に、シリコンからなる酸化保護膜13を選択的に形成する。

次に、図2(b)に示すように、酸化保護膜13が形成された半導体積層構造体を酸素ガス等の酸化性雰囲気投入し、該酸化性雰囲気の温度を約1000℃に調節して約2時間にわたって熱処理を行う。これにより、酸化保護膜13は酸化性雰囲気により表面側から酸化されてシリコン酸化膜13Aとなる。また、キャップ層21における酸化保護膜13によって覆われていない領域においても、酸化性雰囲気により表面側から酸化を受けるため、III-V族窒化物半導体の酸化物からなる絶縁膜14が形成される。また、AlGaIn層12及びキャップ層21における酸化保護膜13によって覆われた領域は、酸化保護膜13からシリコンが拡散されてシリコン含有AlGaIn層12A及びシリコン含有キャップ層21Aとなる。

本発明に用いる熱酸化法によると、AlGaIn層12の上にGaNからなるキャップ層21が設けられていても、熱処理によってキャップ層21の深さ方向の全体にわたってシリコンが拡散されるが、AlGaIn層12の上部においてシリコンの拡散が停止するため、AlGaIn層12よりも下側における電気的特性には影響を与えない。

なお、キャップ層21を構成する材料は、GaNに限られず、GaNを主成分とする他のIII-V族窒化物半導体であっても、AlGaIn層12によってシリコンの拡散を防止で

きる。

以上に説明したように、本発明の熱処理では、III-V族窒化物半導体からなる半導体積層構造体において、上部にAlGaIn層12を設け、温度が950℃以上で且つ1050℃以下の範囲に調節された酸化性雰囲気において熱処理を行うことにより、素子分離用の絶縁膜14を短時間に形成することができるのに加えて、AlGaIn層12の表面付近に酸化保護膜13からシリコンを拡散して所望の電気的特性を実現できる。

（第1の実施形態）

以下に、本発明の第1の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

図3（a）～図3（c）は本発明の第1の実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。

まず、図3（a）に示すように、サファイア又は炭化珪素（SiC）からなる基板31の上に、MOVPE法又はMBE法を用いて、AlN層32、膜厚が約3μmでアンドープのGaIn層33、膜厚が約5nmの第1のアンドープAlGaIn層34、膜厚が約20nmのn型AlGaIn層35及び膜厚が約3nmの第2のアンドープAlGaIn層36を順次エピタキシャル成長させて、III-V族窒化物半導体からなる半導体積層構造体を形成する。続いて、形成した半導体積層構造体の上に、活性領域を覆い且つ素子分離領域を開口するように、厚さ200nmのシリコンからなる酸化保護膜38を選択的に形成する。ここで、n型AlGaIn層35には、n型不純物として濃度が約 $4 \times 10^{18} \text{ cm}^{-3}$ のシリコンが添加されている。また、第1のアンドープAlGaIn層34、n型AlGaIn層35及び第2のアンドープAlGaIn層36（以下、AlGaInからなるこれら3つの半導体層をAlGaIn層37と称する）のAlN組成は約0.25である。

なお、基板31を構成する材料はサファイア又は炭化珪素に限定する必要はなく、他の材料からなる基板を用いてもよい。

次に、図3（b）に示すように、酸化保護膜38が形成された半導体積層構造体を温度が約1000℃の酸化性雰囲気に投入し、1時間～2時間程度にわたって熱処理を施す。これにより、酸化保護膜38は、表面が酸化されてシリコン酸化膜38Aとなる。このとき、半導体積層構造体における酸化保護膜38によって覆われていない領域が表面側から酸化されて、III-V族窒化物半導体の酸化物からなる素子分離絶縁膜39が形成される。また、酸化保護膜38に覆われた領域では、AlGaIn層37の表面に酸化保護膜38が

らシリコンが拡散する。これにより、第1のアンダーペースA1Ga_{0.5}N層36は、表面付近にシリコンが拡散されたシリコン含有A1Ga_{0.5}N層36Aとなる。

ここで、温度が約1000℃の熱処理を行うことにより、従来の900℃の熱処理と比較すると4分の1から5分の1程度の時間で素子分離用に十分な厚さを有する素子分離絶縁膜39を形成することができる。

次に、図3(c)に示すように、熱処理により形成されたシリコン酸化膜38Aをフッ酸と硝酸との混合液を用いて除去した後、ニッケル(Ni)又はパラジウム(Pd)からなるゲート電極40と、それぞれが、チタン(Ti)及びアルミニウム(Al)が順次積層された積層膜からなるソース電極41及びドレイン電極42とを形成する。ソース電極41及びドレイン電極42を形成する工程では、温度が500℃以上で且つ900℃以下の範囲に設定された水素雰囲気において熱処理を行い、オーミック電極として形成する。

なお、ソース電極41及びドレイン電極42を構成する材料はチタン及びアルミニウムからなる積層膜に限られず、半導体積層構造体の表面とオーミックに接触する金属材料であればよい。また、ゲート電極を構成する材料はニッケル又はパラジウムに限られず、半導体積層構造体の表面との間に十分なショットキー障壁が形成される材料であればよい。

以上のように形成された半導体装置は、ゲート長1μmのHFETとして形成した場合に、最大ドレイン電流が500mA/mm～900mA/mm程度で、最大相互コンダクタンスの値が約200mS/mmとなり、良好な電気的特性を得られる。また、熱処理の温度を約1000℃に調節した場合に、コンタクト抵抗の値は約 $5 \times 10^{-6} \Omega \text{ cm}^2$ であり、従来の900℃での熱処理に比べて約5分の1程度となる。

また、Ga_{0.5}N層33とA1Ga_{0.5}N層37とのヘテロ接合構造において、シート抵抗の値は約400Ω/□であり、従来の900℃での熱処理と同様の値となり、高温の熱処理による酸化保護膜38からのシリコンの拡散は、ヘテロ構造の電気的特性にほとんど影響を与えない。

また、熱酸化の温度を950℃とした場合に、コンタクト抵抗の値は、従来の900℃での熱処理と比べて、約2分の1程度にまで低減されていた。また、酸化保護膜38を形成して熱酸化を行わない場合の半導体装置において、コンタクト抵抗は従来の900℃の熱処理を行う場合とほぼ同一であった。

一方、ゲート電極40のショットキー障壁の高さについては熱処理の温度の上昇と共に低下する傾向が見られ、温度が900℃の場合にはショットキー障壁の高さが1eV、9

50℃の場合に0.95 eV、1000℃の場合に0.8 eVという結果が得られた。これは酸化保護膜38からのシリコンの拡散が顕著でないもののAlGaIn層38の表面付近にはシリコンが導入されたことによるものと考えられる。

なお本実施の形態における、III-V族窒化物半導体からなる半導体積層構造体としてGaIn層33とAlGaIn層37とのヘテロ接合構造を形成しているが、AlGaInからなる半導体層とInGaInからなる半導体層とのヘテロ接合構造であってもよい。特にGaIn層上に、In組成が約5%程度で相対的に薄膜のInGaIn層を形成しても、結晶性も良好でデバイス作製に問題無く使用できる。

また、第1の実施形態において、半導体積層構造体の最上層はAlGaIn層37に限られない。図2(a)及び図2(b)を用いて説明した場合と同様に、AlGaIn層37の上にGaInからなるキャップ層が設けられていてもよい。このようにすると、キャップ層を用いてソース抵抗を低減するなどの効果を得られる。この場合においても、AlGaIn層37の表面付近で酸化保護膜38からのシリコンの拡散を抑制できるため、半導体装置の電気的特性を劣化させる程度にまでシリコンの拡散が進むことを防止できる。

(第2の実施形態)

以下に、本発明の第2の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

図4(a)～図4(d)は、本発明の第2の実施形態に係る半導体装置の製造方法の工程順の断面構成図である。

まず、図4(a)に示すように、第2の実施形態と同様にして、基板31の上にAlN層32と、GaIn層33と、第1のアンダー層AlGaIn層、n型AlGaIn層及び第2のアンダー層AlGaIn層からなるAlGaIn層37を順次積層して、III-V族窒化物半導体からなる半導体積層構造体を形成する。続いて、形成した半導体積層構造体の上に、厚さ200 nmのシリコンからなる酸化保護膜38を選択的に形成する。続いて、形成した半導体積層構造体の上に、活性領域におけるゲート電極形成領域を除く部分を覆うように、厚さ100 nmの第1のシリコン膜51を選択的に形成する。次に、半導体積層構造体の上に、第1のシリコン膜51の上を含むように全面にわたって、酸化シリコンからなるシリコン化合物膜52を形成した後、活性領域の上側を覆い且つ素子分離領域の上側を開口するように膜厚が約200 nmの第2のシリコン膜53を選択的に形成する。

なお、シリコン化合物膜52を構成する材料は酸化シリコンに限られず、熱処理によっ

でシリコンが拡散しない材料であればよい。

次に、図4（b）に示すように、第2のシリコン膜53をマスクとして、フッ酸とフッ化アンモニウムとからなるバッファエッチング液を用いて、第2のシリコン膜53の開口部に露出したシリコン化合物膜52を選択的に除去する。

次に、図4（c）に示すように、半導体積層構造体を温度が約1000℃の酸化性雰囲気投入し、1時間～2時間程度にわたって熱処理を施す。これにより、第2のシリコン膜53は、表面が酸化されてシリコン酸化膜53Aとなる。このとき、半導体積層構造体における第2のシリコン膜53によって覆われていない領域が表面側から酸化されて、II-V族窒化物半導体の酸化物からなる素子分離絶縁膜54が形成される。また、第2のシリコン膜53によって覆われた領域では、第1のシリコン膜51からシリコンが拡散して、AlGaIn層37の上部にシリコン含有AlGaIn層37aが選択的に形成される。

次に、図4（d）に示すように、熱処理によって形成されたシリコン酸化膜53A、シリコン化合物膜52及び第1のシリコン膜51をウェットエッチングによって順次除去する。その後、活性領域におけるシリコン含有AlGaIn層37aが形成されていない領域にゲート電極55を形成すると共に、シリコン含有AlGaIn層37が形成された領域にソース電極56及びドレイン電極57を形成する。

以上のように形成された半導体装置は、ゲート長1μmのHFETとして形成した場合に、最大ドレイン電流、最大相互コンダクタンス及びコンタクト抵抗の値は、第1の実施形態の半導体装置とほぼ同一であり、良好な電気的特性を得られる。

第2の実施形態の半導体装置の製造方法では、ゲート電極形成領域には熱処理によってシリコンが拡散されないため、コンタクト抵抗を低減しながらもショットキ障壁の高さを確保することができる。具体的に、第2の実施形態に係る半導体装置において、ショットキ障壁の高さは約1eVであり、第1の実施形態と比べて約0.2eV分だけ向上されている。

このように、第2の実施形態によると、第1のシリコン層51は、活性領域におけるゲート形成領域を除く部分に選択的にシリコンを拡散するシリコン供給層として機能し、シリコン化合物膜52及び第2のシリコン膜53は、活性領域の酸化を保護するための酸化保護膜として機能する。また、第2のシリコン膜53は、シリコン化合物膜52が酸化シリコンの堆積膜のみにより構成されている場合に、酸化性雰囲気を構成する酸素ガスがシリコン化合物膜52を通して活性領域が酸化されるのを防止するための保護層として機能

する。

なお、第2の実施形態の半導体装置の製造方法において、シリコン化合物膜52と第2のシリコン膜53とが順次積層された積層膜を酸化保護膜として用いているが、このような構成に限られない。酸化シリコン又は窒化シリコンからなる単層膜を酸化保護膜として用いてもよい。また、第2のシリコン膜53に代えて、例えば、膜厚が約100nmのシリコン窒化膜等、酸素ガスを通し難い半導体層を用いてもよい。

また、第2の実施形態においても、半導体積層構造体の最上層はAlGaIn層37に限られず、AlGaIn層37の上にGaInからなるキャップ層が設けられていてもよい。このようにすると、キャップ層を用いてソース抵抗を低減するなどの効果を得られる。この場合においても、AlGaIn層37の表面付近で酸化保護膜38からのシリコンの拡散を抑制できるため、半導体装置の電気的特性を劣化させる程度にまでシリコンの拡散が進むことを防止できる。

【クレーム】

1. 半導体装置の製造方法は、

窒化アルミニウムガリウムからなる第1の半導体層の上に、開口部を有し且つシリコンを含む保護膜を形成する工程と、

前記第1の半導体層に対して、温度が950℃以上且つ1050℃以下の範囲に調整された酸化性雰囲気において熱処理を行う工程とを備えている。

2. クレーム1の半導体装置の製造方法において、

前記熱処理を行う工程は、前記第1の半導体層における前記保護膜の前記開口部の下側部分を酸化する工程と、前記保護膜から下側にシリコンを拡散する工程とを含む。

3. クレーム1の半導体装置の製造方法は、

前記保護膜を形成する工程よりも前に、前記第1の半導体層の上に、窒化ガリウムを主成分とする第2の半導体層を形成する工程を含む。

4. クレーム1の半導体装置の製造方法において、

前記保護膜を形成する工程は、前記第1の半導体層の上にシリコンを含むシリコン供給層を形成する工程と、前記シリコン供給層の上に酸化保護層を形成する工程とを含む。

5. クレーム4の半導体装置の製造方法は、

前記シリコン供給層を形成する工程において、前記第1の半導体層の活性領域におけるゲート形成領域を除く部分の上に前記シリコン供給層を形成し、

前記酸化保護層を形成する工程において、前記第1の半導体層の活性領域の上に前記シリコン供給層の上を含むように前記酸化保護層を形成する。

6. クレーム4の半導体装置の製造方法において、

前記酸化保護層は酸化シリコン又は窒化シリコンからなる。

7. クレーム4の半導体装置の製造方法において、

前記酸化保護層は、シリコン酸化膜と、シリコン膜又はシリコン窒化膜とが順次積層された積層膜である。

【アブストラクト】

半導体装置の製造方法は、まず、基板上に、窒化アルミニウムガリウムからなる第1の半導体層を形成し、形成した第1の半導体層の上に、素子分離領域を開口するようにシリコンを含む保護膜を形成する。その後、第1の半導体層に対して、温度が950℃以上且つ1050℃以下の範囲に調整された酸化性雰囲気において熱処理を行う工程とを備えている。